

CMT2218-2219B单接收芯片原理图及PCB版图设计指南

1. 概要

本应用文档为使用 CMOSTEK NextGenRF™ 系列单接收芯片 CMT2218B/19B 进行产品开发的用户提供基本的原理图和 PCB 版图设计指南，以期望帮助用户快速实现应用所需要的性能指标：如改善灵敏度、降低功耗和系统成本、提高抗干扰能力等。

本文档涵盖的产品型号如下表所示。

表 1. 本文档涵盖的产品型号

产品型号	工作频率 (MHz)	调制方式	主要功能	配置方式	封装
CMT2218B	127-1020	(G)FSK	单收	SPI 烧录参数	QFN16
CMT2219B	127-1020	OOK/(G)FSK	单收	SPI 配置寄存器	QFN16

本文将以下 CMT2218B/19B-EM 原理图和 PCB 设计为参考，从以下几个方面来阐述使用 CMOSTEK NextGenRF™ 系列单接收芯片的注意事项：

- 射频输入设计
- 晶体电路设计
- 数字信号设计
- 电源及地设计
- 灵敏度优化考虑
- 测试电路设计
- 设计检查项

目录

1. 概要	1
2. 射频输入匹配	3
3. 晶体电路设计	6
4. 数字信号设计	7
5. 电源及地设计	8
5.1 电源滤波电路设计	8
5.2 铺地设计	8
6. 灵敏度优化考虑	9
7. 测试电路设计	10
8. 设计检查项	11
9. 文档变更记录	12
10. 联系方式	13

2. 射频输入匹配

匹配网络通过将天线的阻抗匹配至芯片射频输入阻抗，达到提高接收灵敏度的设计目标。

CMOSTEK NextGenRF™ CMT2218B/19B 的 LNA 是差分端口，L1 和巴伦网络（L2，C2 和 L3，C3）实现单端天线到差分 LNA 阻抗匹配。多数时候，在天线输入端加上由 L4 和 C4 构成并联谐振滤波器网络能有效滤除复杂电磁环境给接收机带来的干扰。参考原理图如下图所示。

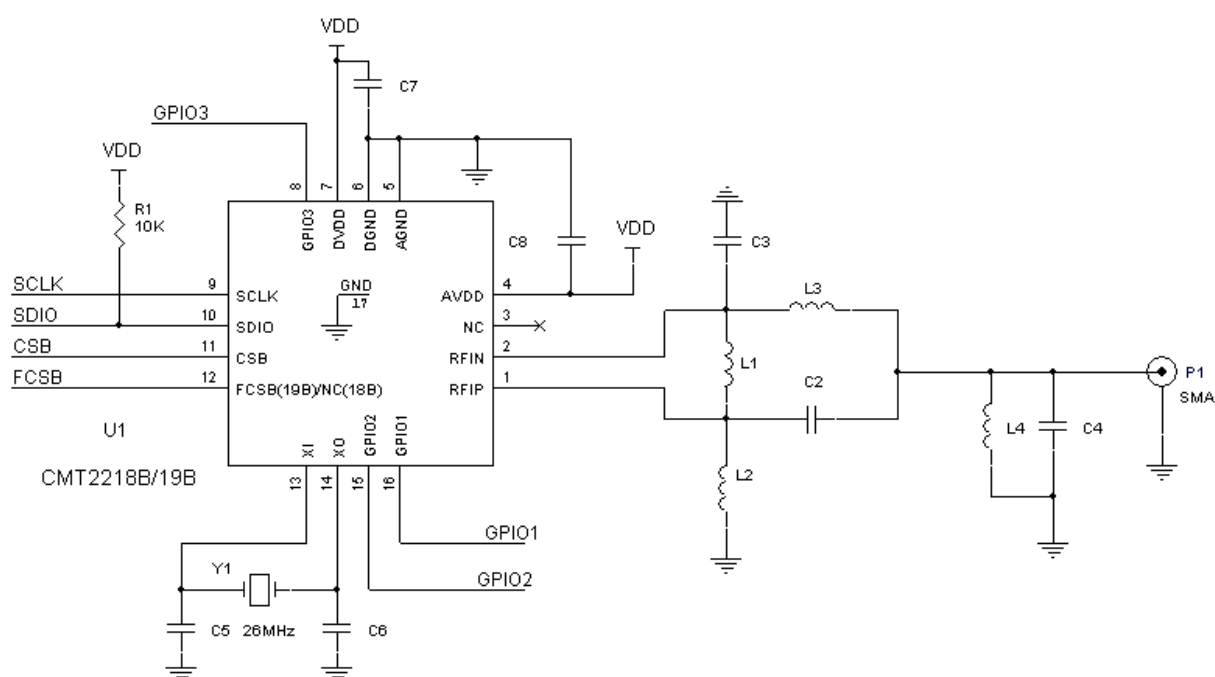


图 1. CMT2218B/19B 应用电路原理图

说明如下：

1. L1, L2, C2, L3, C3 组成匹配网络。
2. L4, C4 为并联谐振滤波网络。
3. P1 为天线连接器。
4. C5, C6 为晶体负载电容。
5. C7, C8 为电源退耦电容。

表 2 是 CMT2218B/19B 差分 LNA 匹配到单端 50 欧姆天线在各个工作频段的元件参数值。

表 2. 应用电路元件值

位号	描述	元件值			单位	供应商
		433 MHz	868 MHz	915 MHz		
R1 ^[1]	±10%, 0603, 1/8W	10			kΩ	
C2	±5%, 0603 NPO, 50 V	4.7	2.2	2.2	pF	
C3	±5%, 0603 NPO, 50 V	4.7	2.2	2.2	pF	
C4	±5%, 0603 NPO, 50 V	4.7	2.2	2.2	pF	
C5	±5%, 0603 NPO, 50 V	24	24	24	pF	
C6	±5%, 0603 NPO, 50 V	24	24	24	pF	
C7	±5%, 0603 NPO, 50 V	470			pF	
C8	±5%, 0603 NPO, 50 V	0.1			uF	
L1	±5%, 0603 叠层贴片电感	68	12	12	nH	Sunlord
L2	±5%, 0603 叠层贴片电感	27	15	12	nH	Sunlord
L3	±5%, 0603 叠层贴片电感	27	15	12	nH	Sunlord
L4	±5%, 0603 叠层贴片电感	27	15	12	nH	Sunlord
Y1	±20 ppm, SMD32*25 mm	26			MHz	EPSON
U1	CMT2218B/19B,超低功耗 Sub-1GHz 射频接收器	-			-	CMOSTEK
Note: [1]. 仅 CMT2218B 的应用需要 SDIO 口加上拉电阻 R1。						

在实际应用场合, 由于受到产品结构和物理空间等因素限制, 往往用户的天线并非 50 欧姆。这时, 可以在图 1 应用原理图的基础上, 在 P1 后增加一级 LC 网络实现从 P1 处 (50 欧姆) 到用户天线的阻抗匹配, 用户仅需调整增加这一级的 LC 参数, 而其它元件值维持参照表 2, 这样可以简化匹配调试过程。

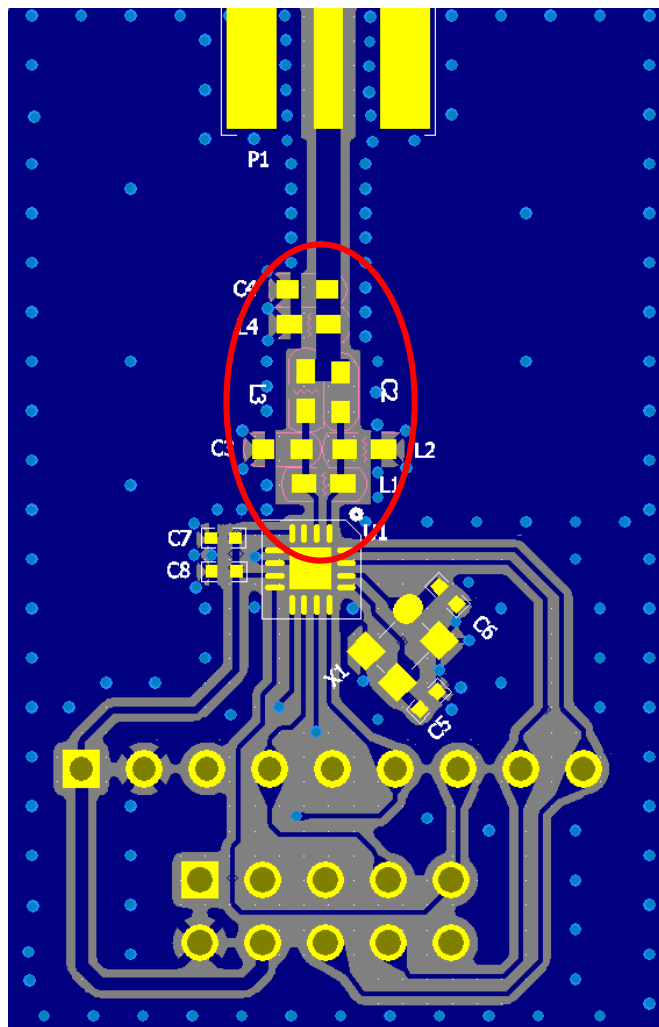


图 2. 匹配网络的版图设计参考

上图给出的单接收产品匹配网络的版图，基于 CMT2218B/19B-EM 的版图设计。其中需要特别注意的是：

1. 保持射频信号路径尽量短，以减小信号能量传输带来的损失。
2. L1、L2、L3、C2 和 C3 尽量靠近摆放，并且尽量靠近射频输入端口。
3. 芯片的射频输入端阻抗较高，靠近射频输入端的传输线用较窄线宽，上图参考设计中用的是 0.2 mm 线宽；巴伦网络和天线接口（P1）之间的传输线用的是 1 mm 宽的传输线，用以匹配 50 Ω 阻抗的天线。
4. 尽量不要在射频器件及走线上布丝印。
5. 铺地和射频走线应该尽量平整，以减小传输线上的阻抗波动。

3. 晶体电路设计

推荐晶体规格如下：

表 3. 晶体振荡器规格

参数	符号	条件	最小	典型	最大	单位
晶体频率 ^[1]	F_{XTAL}			26		MHz
晶体频率精度 ^[2]				± 20		ppm
负载电容	C_{LOAD}			15		pF
晶体等效电阻	R_m				60	Ω
晶体起振时间 ^[3]	t_{XTAL}			400		us

备注：

[1]. 该系列型号都支持用外部时钟直接驱动 XI 管脚（需要串接一个耦合电容），峰峰值幅度要限制在 0.3 到 0.7 V 之间。

[2]. 此处指所有的频率精度容差，包括 (1) 初始容差；(2) 晶体负载；(3) 老化；和 (4) 温度变化。可接受的晶体容差取决于射频频率以及信道间隔、带宽设置等因素。

[3]. 该参数与所用晶体有很大关系。

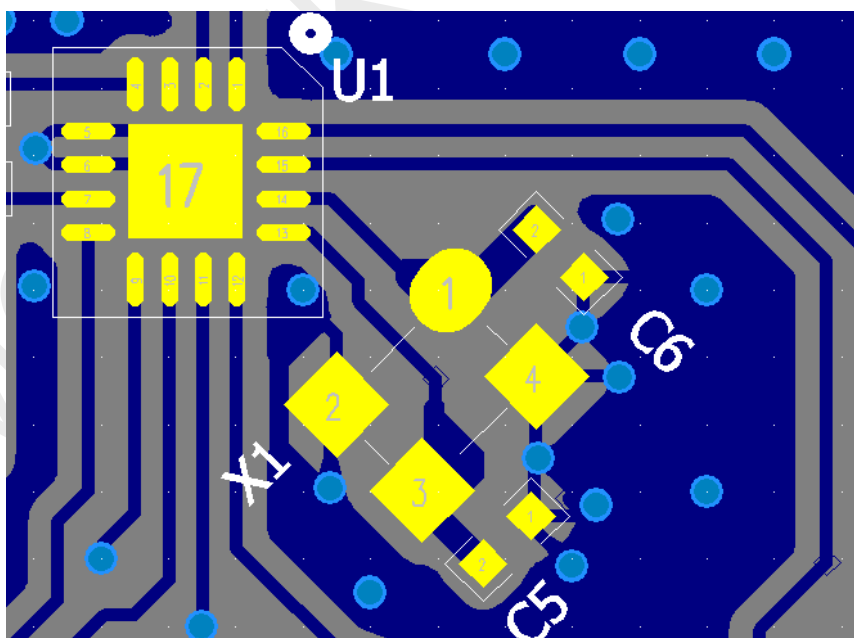


图 3. 晶体电路的版图设计

设计注意事项:

1. 用户需要考虑到不同的 PCB 设计可能导致板上寄生电容变化，确保由此导致的频率偏差在应用允许范围内。
2. 晶体应该尽可能靠近接收芯片管脚 XI 位置摆放，减小走线长度。这样做的目的在于降低晶体受外部干扰的可能，同时减少分布电容，提高频率精度。
3. 晶体电路应尽量远离射频信号、数字信号或其它高频大幅度强干扰信号，并在其周围尽量多铺地以作隔离，以防止干扰到射频信号或者受到干扰从而影响参考时钟质量。
4. 晶体的金属外壳需要接地。

4. 数字信号设计

数字信号走线，包括 CSB, FCSB, SCLK, SDIO 和 GPIO1-3。CMT2218B 和 CMT2219B 串口有差异，请注意 PIN10 和 PIN12 的使用：

CMT2218B 为三线制串口：CSB, SCLK 和 SDIO。请注意，CMT2218B 的 SDIO (PIN10) 需要外接一个上拉电阻，而 CMT2219B 则不需要。使用 CMOSTEK 提供烧录工具烧写 CMT2218B 的配置参数。

CMT2219B 为四线制串口：CSB, FCSB, SCLK 和 SDIO。其中，PIN12：对应 CMT2219B 是 FCSB 管脚，对 CMT2218B 则是无用 NC 管脚。

CMT2218B 的 GPIO1 固定为 Data Out 输出，GPIO2 固定为 Rx Active 输出，GPIO3 输出配置可选，可参考 CMOSTEK RFPDK。

布线注意事项如下：

1. 数字信号走线应尽量远离 RF 和晶体走线区域。
2. 数字信号应尽可能用铺地围起来，以减少相互串扰。

5. 电源及地设计

5.1 电源滤波电路设计

为了减轻电源上的噪声和纹波对芯片的影响，用户应当在紧靠芯片电源管脚处加合适的滤波电容。

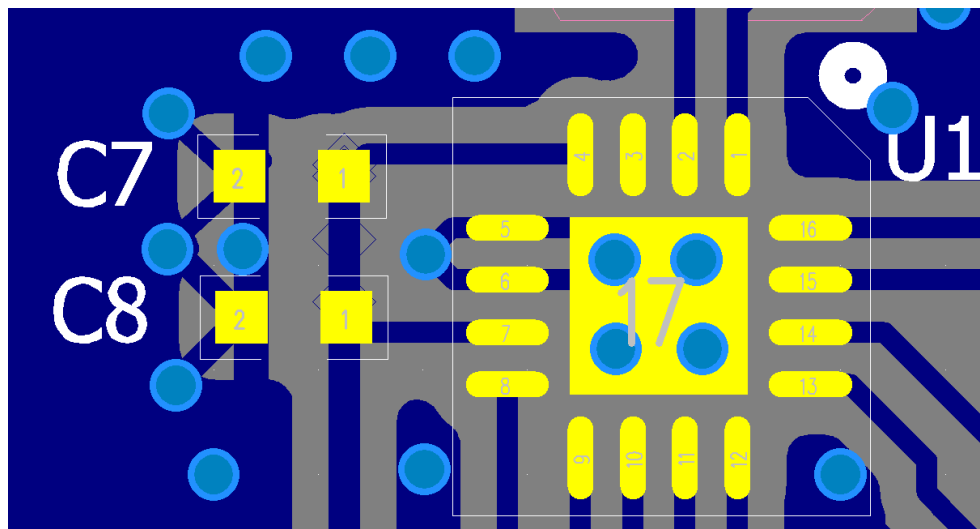


图 4. 电源

5.2 铺地设计

铺地需要注意的事项：

1. 尽量用大片的连续地做铺地设计。
2. 地线的走线应尽量使电流的回流到电源的路径回路面积最小，以减少供电环路向外部空间的电磁辐射。
3. 芯片正下方尽量多铺地，以减小对射频输出传输线阻抗连续性的影响。芯片衬底打 1 到几个 GND 过孔，见图 4。
4. PCB 边沿尽量多排列间隔不超过 $\lambda/10$ 的过孔，以减小 PCB 边沿的高次谐波辐射。

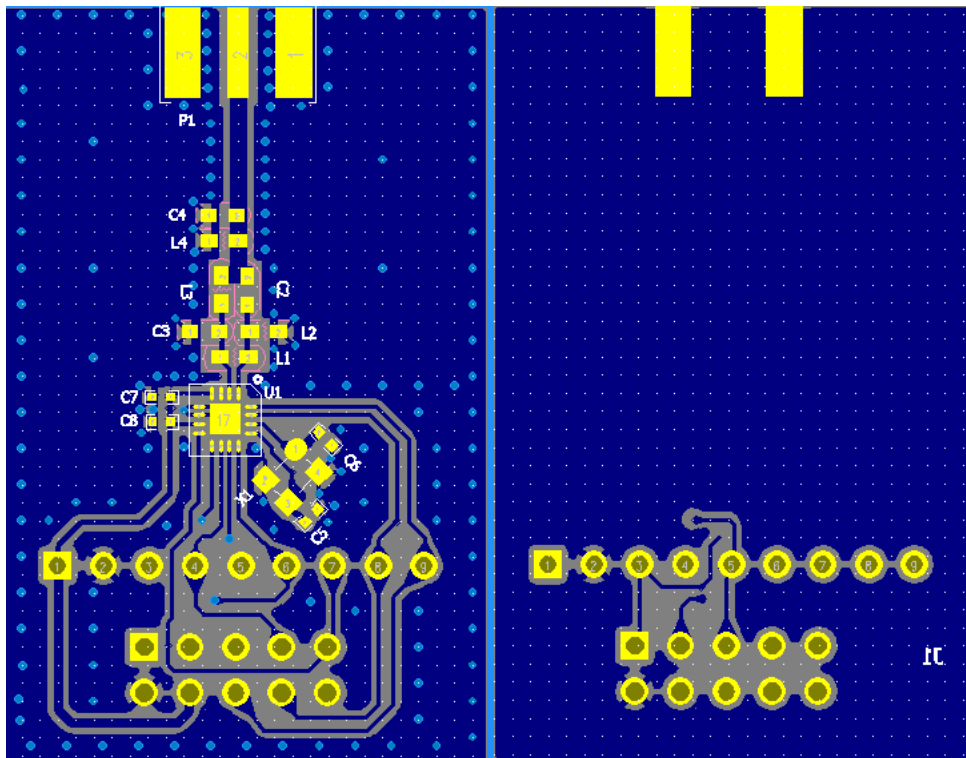


图 4. 铺地

6. 灵敏度优化考虑

除了考虑阻抗匹配和滤波，也要注意天线设计对灵敏度影响。例如，常用 $1/4$ 波长 ($\lambda/4$) 的单极子天线，它其实就是偶极子天线，一半由一个 $1/4$ 波长的天线组成，另一半由虚的 $1/4$ 波长天线的地平面对称组成。所以，对于单极子天线的设计而言，性能的好坏还取决于铺地的面积。结合成本、性能、上市时间等因素，用户可以选择不同类型的单极子天线，比如说 PCB 天线、芯片天线、胶棒天线、导线天线等。

7. 测试电路设计

CMT2218B 是可以通过对芯片烧录改变芯片的功能(CMT2219B 则不支持), 因此, 建议用户在实际应用 CMT2218B 的时候预留 CSB, SCLK, SDIO, VDD, GND 测试点, 以便完成以下两个功能:

1. 生产时方便对芯片进行烧录, 以改变芯片的功能。
2. 方便对芯片的配置进行读取, 了解芯片的配置情况。

CMOSTEK Confidential

8. 设计检查项

用户可以通过下面的检查项对比实际设计以确认是否考虑了这些细节。

表 4. 设计检查项

射频输入设计	
<input type="checkbox"/>	射频信号路径是否尽量短，以减少射频信号的损失。
<input type="checkbox"/>	将匹配网络是否已经尽量靠近摆放，并且尽量靠近射频输入端口。
<input type="checkbox"/>	射频传输线的走线宽度是否已经考虑了阻抗大小（50Ω 左右的阻抗用 1mm 左右宽的传输线）。
<input type="checkbox"/>	是否已经尽量不要在射频器件及走线上布丝印。
<input type="checkbox"/>	铺地和射频走线是否已经尽量平整。
<input type="checkbox"/>	天线长度是否接近 $\lambda/4$ 。
<input type="checkbox"/>	晶体是否已经尽量远离天线。
晶体电路设计	
<input type="checkbox"/>	晶体是否已经尽量靠近芯片 XI 管脚摆放，以减少走线寄生电容。
<input type="checkbox"/>	晶体电路是否已经尽可能远离数字信号等强干扰源，并在其周围尽可能多铺地。
<input type="checkbox"/>	晶体的金属外壳是否已经接地。
数字信号设计	
<input type="checkbox"/>	数字信号是否已经尽量远离 RF 和晶体走线。
<input type="checkbox"/>	数字信号是否已经尽可能用铺地围起来，以减少相互串扰。
电源及地设计	
<input type="checkbox"/>	芯片的衬底是否有一个以上的 GND 过孔
<input type="checkbox"/>	电源滤波电容在版图上是否已经尽量靠近芯片的电源管脚。
<input type="checkbox"/>	是否已经尽量用大片的连续地做铺地设计。
<input type="checkbox"/>	地的走线是否已经使得电流的回流路径环面积最小，以使从供电环路上向外辐射尽量减小。
<input type="checkbox"/>	芯片底部是否已经尽量多铺地，以减小对射频输出传输线阻抗连续性的影响，并增强 ESD 性能。
<input type="checkbox"/>	PCB 边沿是否已经尽量多摆放间距不超过 $\lambda/10$ 的过孔，以减小 PCB 边沿的高次谐波辐射。
测试电路设计	
<input type="checkbox"/>	PCB 设计是否已经预留了测试烧录点。

9. 文档变更记录

表 5. 文档变更记录表

版本号	章节	变更描述	日期
0.8	所有	初始发布版本	2017-09-15

CMOSTEK Confidential

10. 联系方式

无锡泽太微电子有限公司深圳分公司

中国广东省深圳市南山区前海路鸿海大厦 203 室

邮编: 518000

电话: +86-755 - 83235017

传真: +86-755 - 82761326

销售: sales@cmostek.com

技术支持: support@cmostek.com

网址: www.cmostek.com

Copyright. CMOSTEK Microelectronics Co., Ltd. All rights are reserved.

The information furnished by CMOSTEK is believed to be accurate and reliable. However, no responsibility is assumed for inaccuracies and specifications within this document are subject to change without notice. The material contained herein is the exclusive property of CMOSTEK and shall not be distributed, reproduced, or disclosed in whole or in part without prior written permission of CMOSTEK. CMOSTEK products are not authorized for use as critical components in life support devices or systems without express written approval of CMOSTEK. The CMOSTEK logo is a registered trademark of CMOSTEK Microelectronics Co., Ltd. All other names are the property of their respective owners.